

Allegro PCB Editor What's New in Release 16.0

Allegro V16.0 新版本拥有全新的操作接口，使用者在人性化的接口上更能有效率地工作，以下为 V16.0 新增功能及新接口的介绍。

. **Date:** 2007/07/16

. **Author:** Jonathan Lee

. **Revision:** 1.0

. **Version:** 16.0

. **备注:**

PCB Editor User Interface

变更的部份为:

. Toolbar

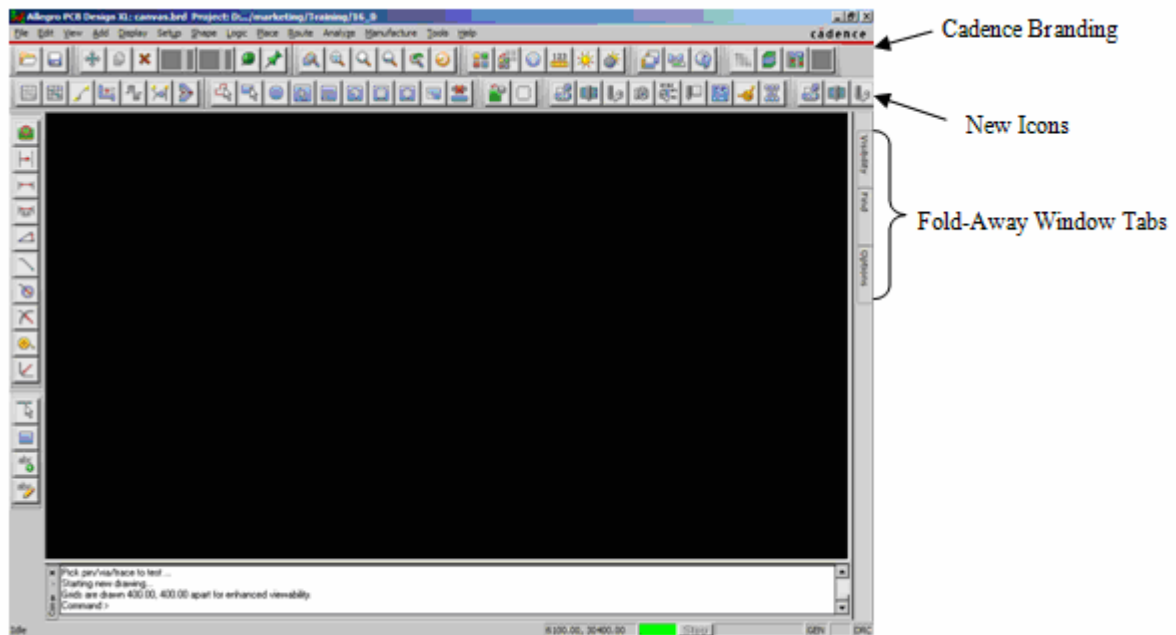
Icon 的更新、及工具群组的变更

. Fold-Away Windows

使工具窗口最大化，平时不使用时，Control Panel 会自动收缩

. Cadence Branding

在 SPB 系列产品的左上角多了 Cadence 商标



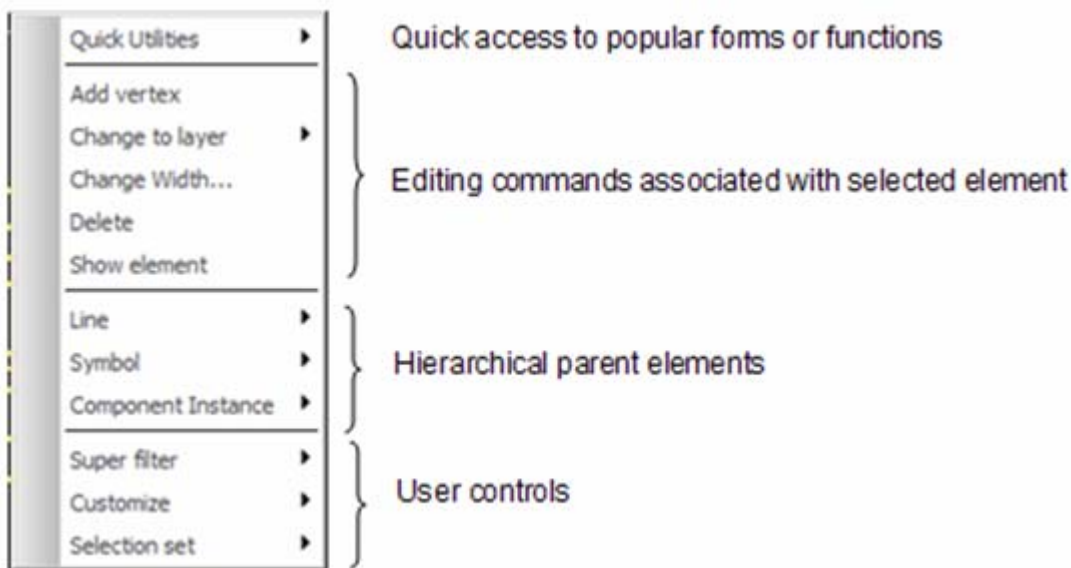
Context-sensitive Editing



新的 pre-selection 编辑模式可依被点选对象相关参数设定或可执行之命令，可节省鼠标游标在工具列、control panel 和对对象间移动的时间，此模式可切换下列两种模式。

A . General Edit Application Mode

一般编辑模式，点选对象后会有该对象可执行的相关指令



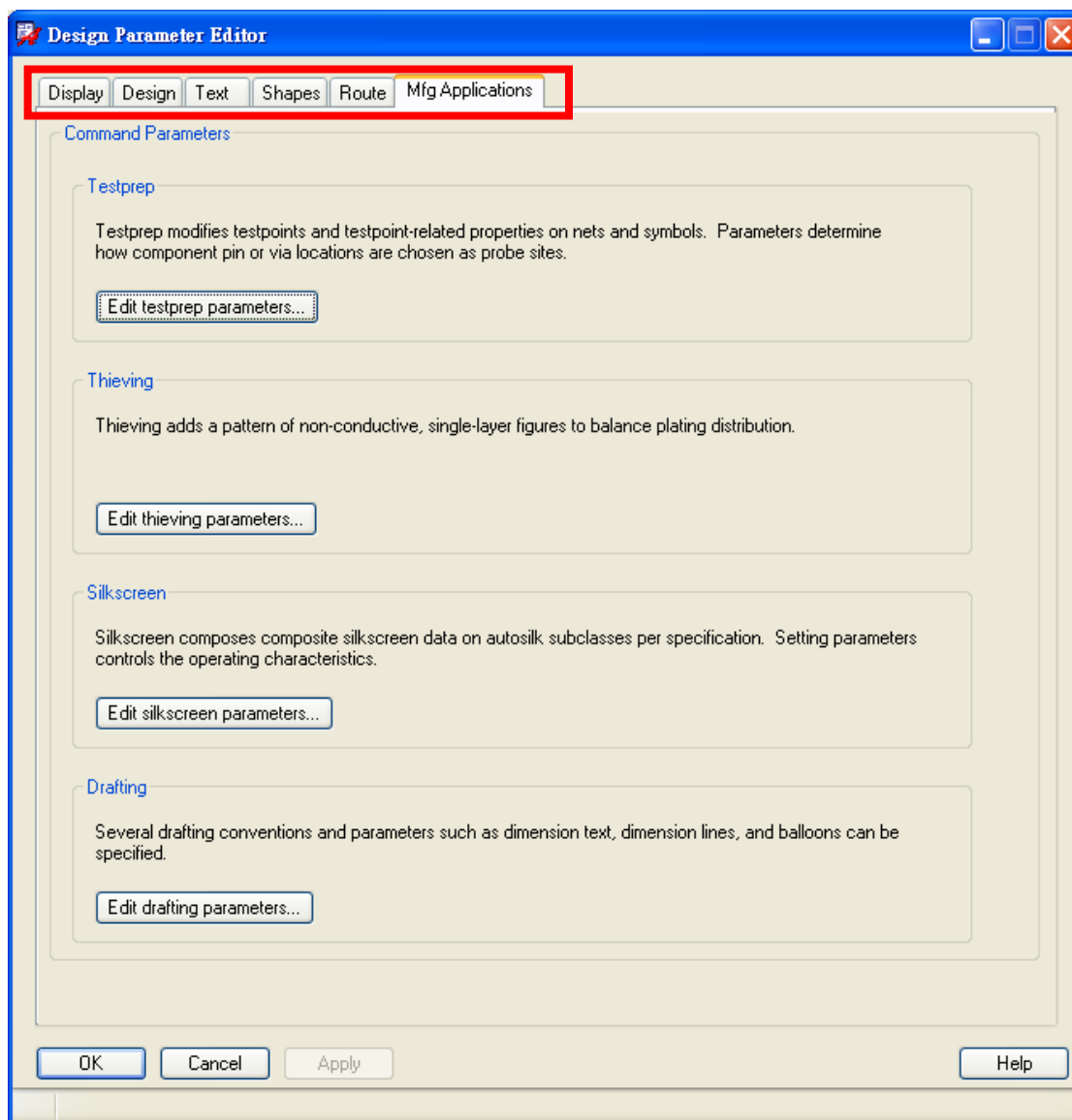
B . Etch Edit Application Mode

Etch 相关应用编辑模式，点选对象后，就会自动依对象执行如列表之相关指令

Pick this Object	To perform this Action
Pin	Add Connect
Rat	Add Connect
Via	Add Connect
Cline Segment	Slide
Symbol	Move

. Central Location for Design Parameters

常用的设计参数集中在同一个控制界面，新的参数设定界面包含 Display、Design、Text、Etch Edit、Shape and Manufacturing .

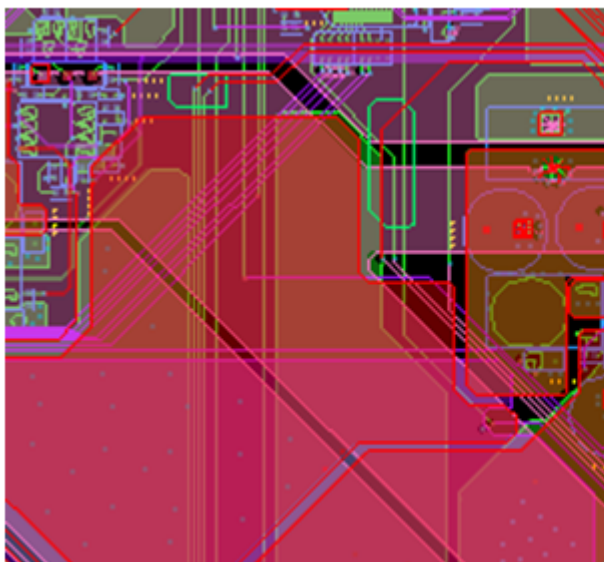


Color and Visibility Enhancements

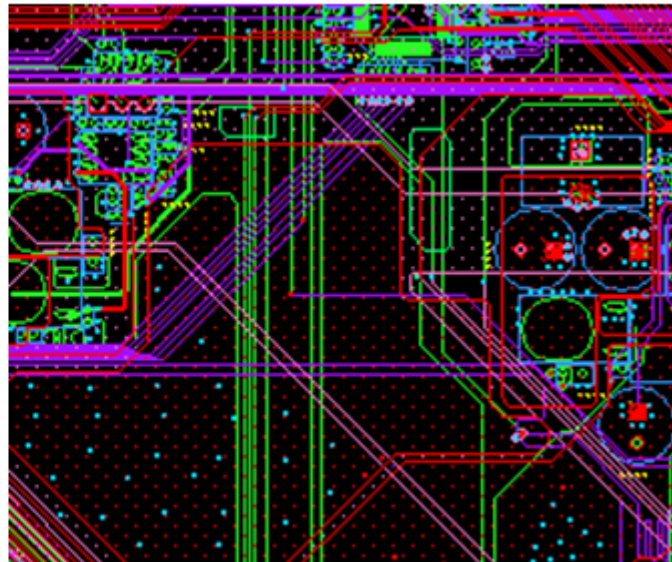


Allegro Products Now Support OpenGL Standard

支持 Open GL 显示，若要最佳效能,基本配备为独立显示卡 128MB，系统 1GB 以上的 RAM



Open GL Enabled

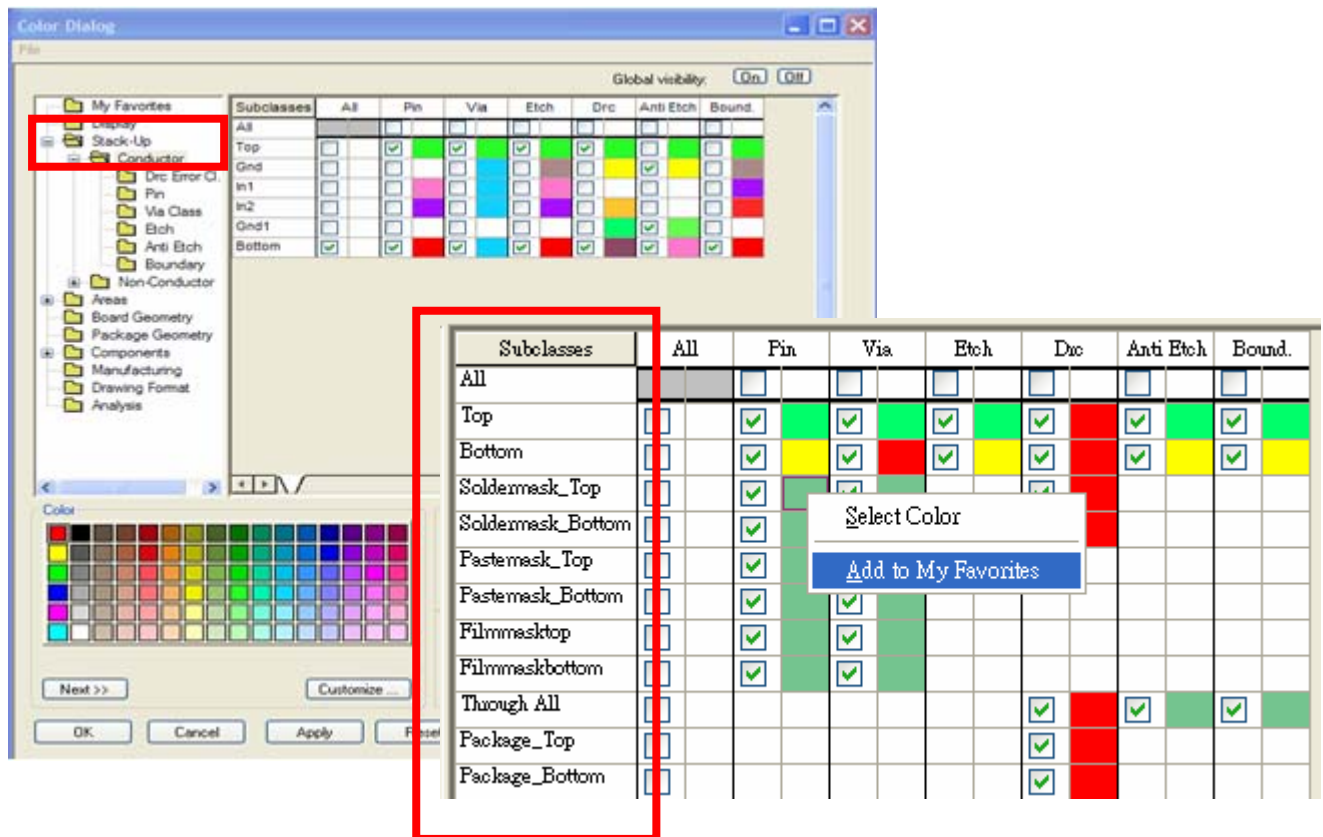


Open GL Disabled

Category: Opengl	
Preference	Value
disable_opengl:	<input type="checkbox"/>

Modernization of Color/Visibility User Interface

新的颜色层面显示界面



Color Support Extended to 192

颜色可支援 192 色,

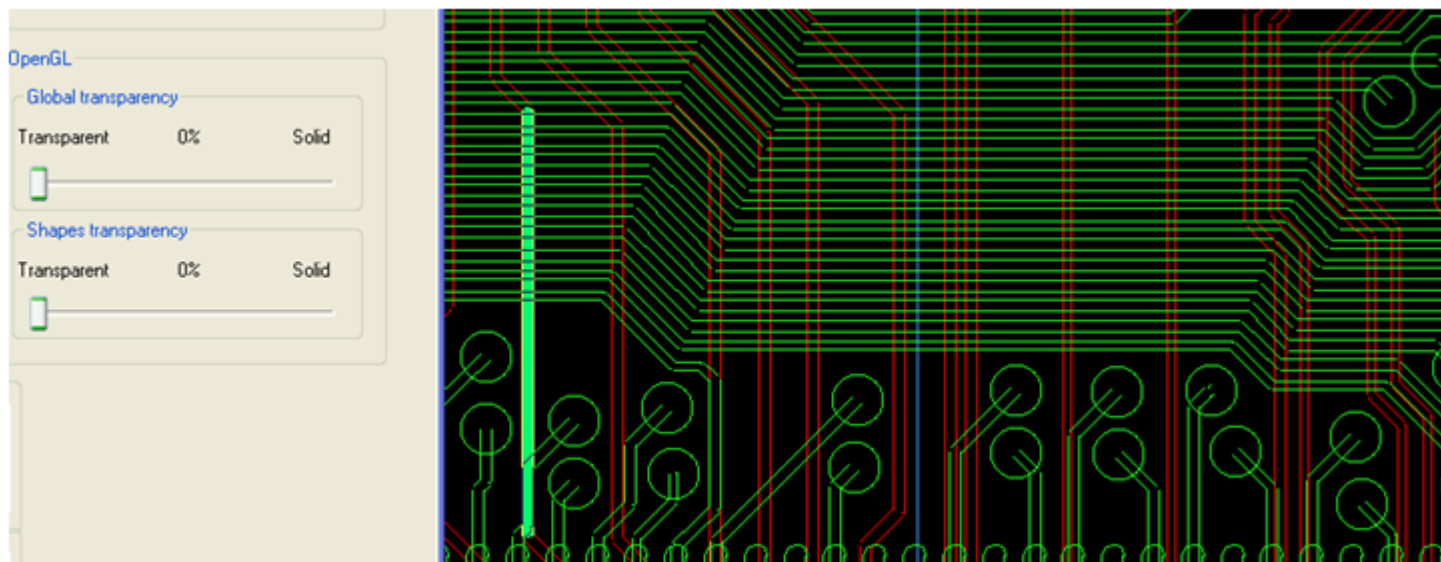
二个调色盘,每个调色盘为 6x16 的矩阵, 一个调色盘共 96 色



Transparent Graphics Improve Visibility Through the PCB

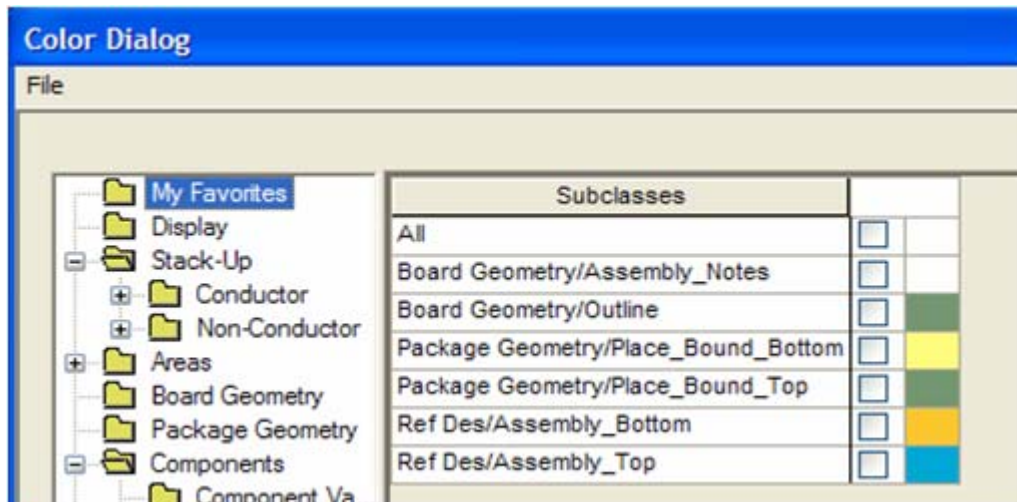


可设定对象的透明度，使对象透明化，让重迭的对象更易显示



Quick Access to Commonly Used Subclasses

可以将常用的层面设定为我的最爱，自设常用的层面可在同一个画面作层面控制，而这个新的设定会在local pcbenv内存一个 myfavorites.txt 储存相关的层面设定。

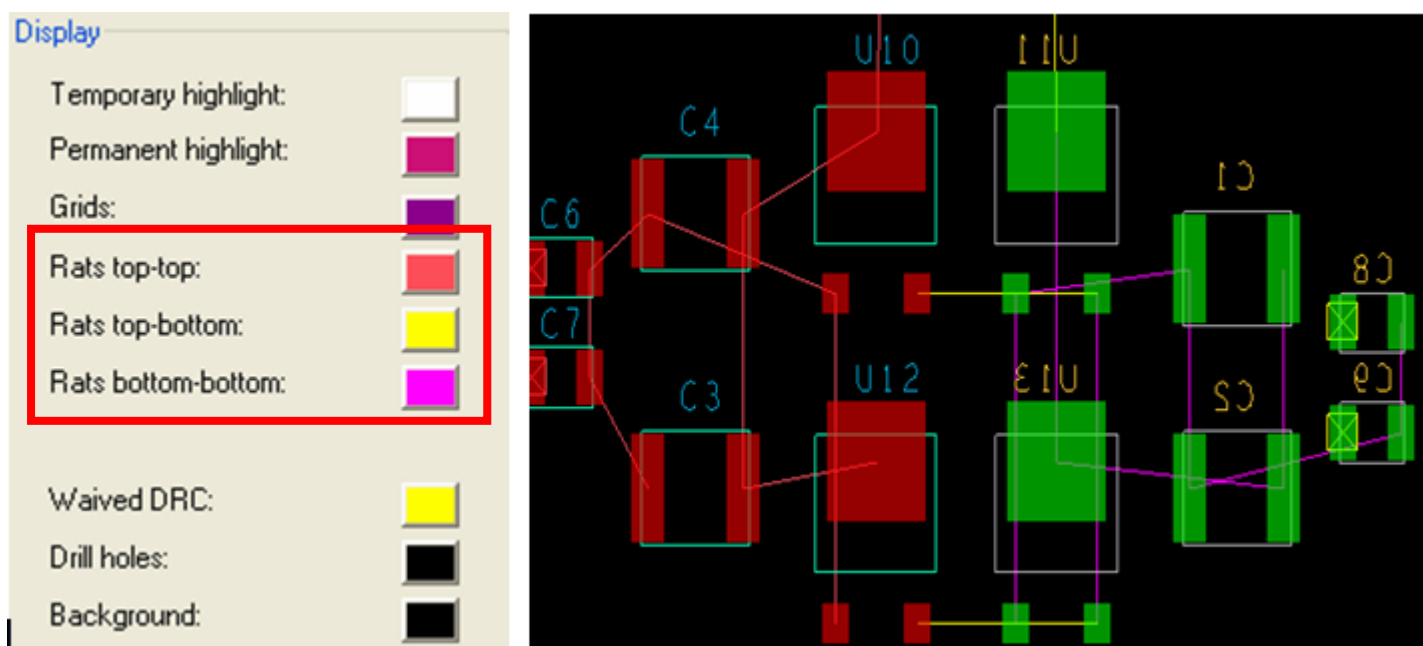


Subclasses	All	Pin	Via	Etch	Drc	Anti Etch	Bound.
All	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Top	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Bottom	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Soldermask_Top	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Soldermask_Bottom	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Pastemask_Top	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Pastemask_Bottom	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Filmmasktop	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Filmmaskbottom	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Through All	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Package_Top	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
Package_Bottom	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

Differentiating Ratsnest Display by Layer

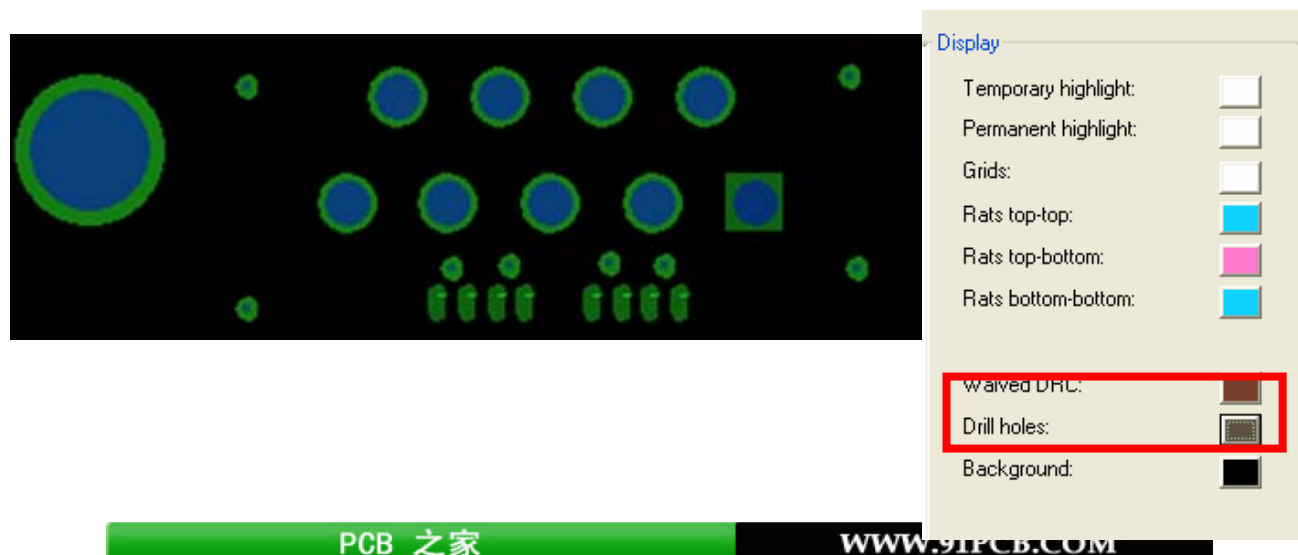
使用不同颜色显示不同层面的 Rat，可依底下三种模式分别设为三种颜色：

- Top - Top
- Bottom - Bottom
- Top - Bottom



Drill Display

支持钻孔的颜色设定



Physical and Spacing Constraint System

Constraint Manager - Single Source for Constraint Management

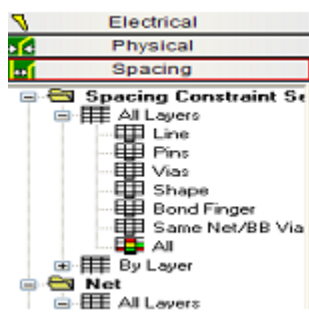


Physical and spacing 被合并到 Constraint Manager、electrical、physical and spacing 都统一到 Constraint Managemnt 界面，简化 Design Rule 操作。

Apply Constraint Sets at Any Level

Constraint Sets 无对象支持的限制也保有相关对象的继承及 Override 的特性，其可支持的对象为：

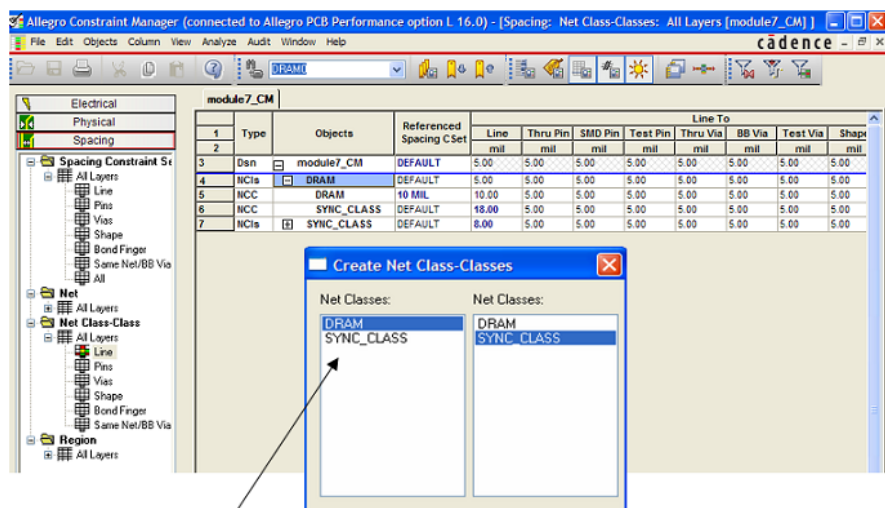
Design、Net Class、Net Class-Class、Bus、Diff Pair、Xnet、Net、Pin Pair、Region、Region-Class 及 Region Class-Class



1	2	Type	Objects	Referenced Spacing CSet	Line mil	Thru Pin mil	SMD Pin mil
3		Dsn	module7_CM	DEFAULT	5.00	5.00	5.00
4		NCIs	SYNC_CLASS	DEFAULT	8.00	5.00	5.00
5		NCIs	DRAM	DEFAULT	5.00	5.00	5.00
6		Bus	ADDRESS_BUS	10 MIL	10.00	5.00	5.00
7		Net	AD0	DEFAULT	10.00	5.00	5.00
8		Net	AD1	10 MIL	10.00	5.00	5.00
9		Net	AD2	25MIL (Clear)	10.00	5.00	5.00
10		Net	AD3	10 MIL	10.00	5.00	5.00
11		Net	AD4	10 MIL	10.00	5.00	5.00
12		Net	AD5	10 MIL	10.00	5.00	5.00

Hierarchical Net Class Replaces NET_TYPE Property

Net Class取代原本的NET_TYPE,Net Class 包含 Buses、Diff Pairs、XNets,在 Physical、Spacing、Electrical 的树状阶层下皆可看的到Net Class。



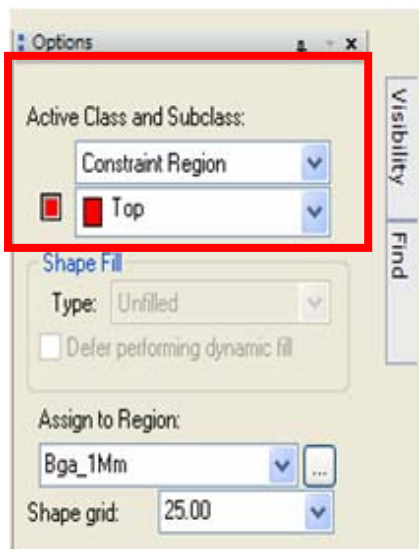
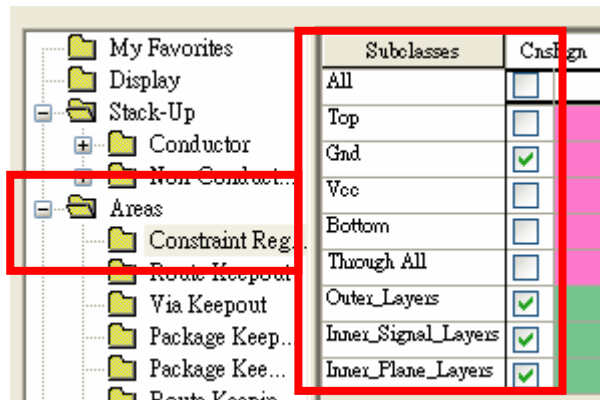
Explicit creation of Net Class-Class Relationship

Layer Support for Constraint Regions (产品限制:PCB Performance Option L and up)



constraint region 取代原有的 constraint area, 除了单层设定外, 还可以针对物定群组统一设定如 All、

Outer_Layers、Inner_Signal_Layers and Inner_Plane_Layers



1	Type	Objects	Referenced Physical CSet	Line Width	
				Min	Max
2				mil	mil
3	Dsn	module7_CM	DEFAULT	5.00	0.00
4	Rgn	BGA_1MM	4MIL	4.00:4.00:4.50...	0.00
5	RCIs	SYNC_CLASS	DEFAULT	5.00	0.00

Constraining at the Pin Pair Level

Pin Pair 可支持 Physical and Spacing constraint 设定. Pin Pairs, 但 Pin Pairs 无法设为 Net Class。

XNet Support for Physical and Spacing Constraints

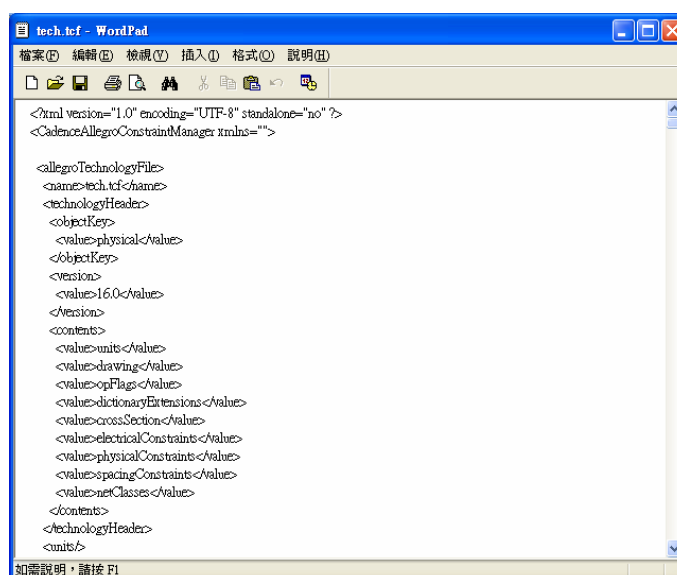


Physical and Spacing constraints 可以使用 Xnet,也包含 Xnet 的继承及 Override 的特性。

1 2	Type	Objects	Referenced Physical CSet	Line Width	
				Min mil	Max mil
13	XNet	LONG_SIDE	DEFAULT	5.00	0.00
14	Net	LONG_SIDE	DEFAULT	6.00	0.00
15	Net	SHORT_SIDE	DEFAULT	10.00	0.00

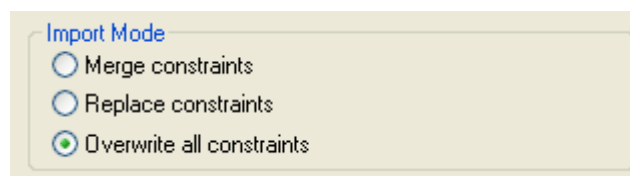
The Technology File Format Changes to XML

Technology File Format 变更为 XML 格式，其输入及输出时有下列功能及特性。



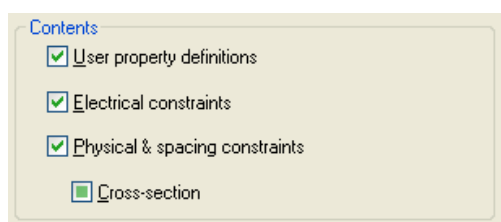
A. Import tech file options include:

加载可选择合并,更新或是取代全部 Constraint 三种模式



B.Export tech file options include specific output controls for

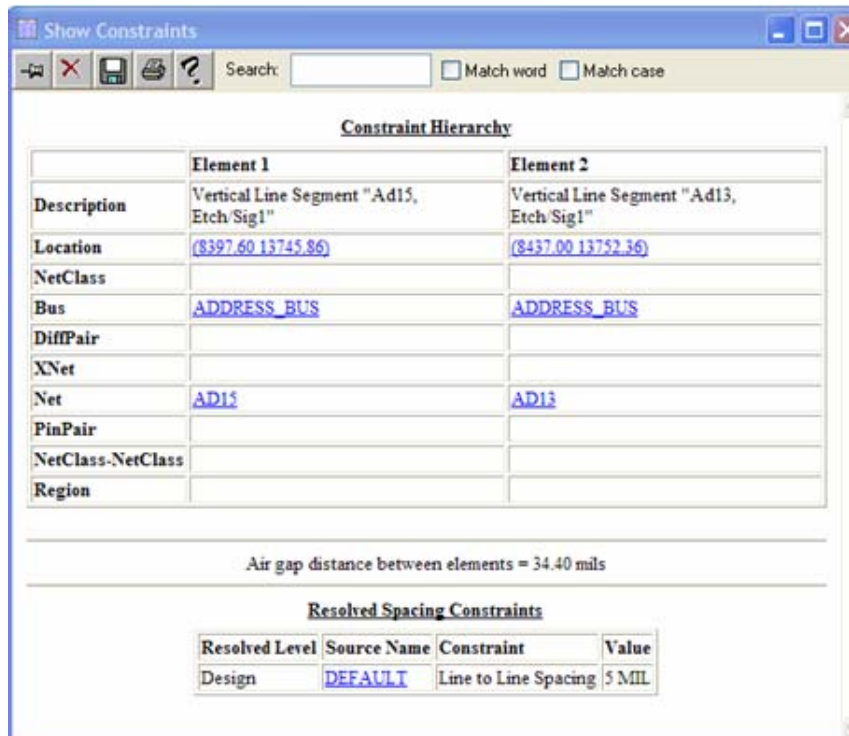
输出可指定 property、Electrical、Physical、Spacing Constraints 及选构设定数据是否输出



Understanding How Constraints are Resolved

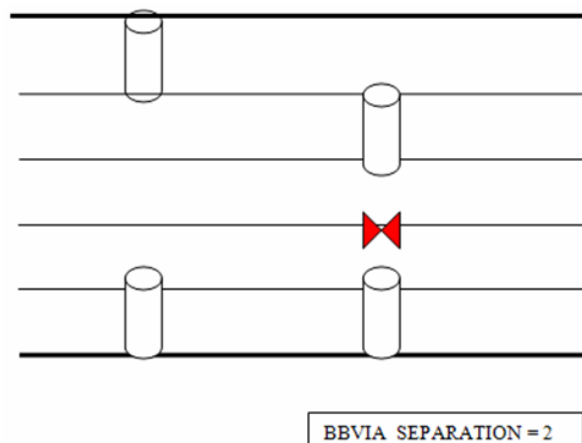


执行 Display/Constraint，即可秀对象 Constraints 的信息。



Buried/Blind Via Layer Span Control

新增 BBVIA_SEPARATION property，可设定二个 BBvia 间所能接受的最小的层数检查

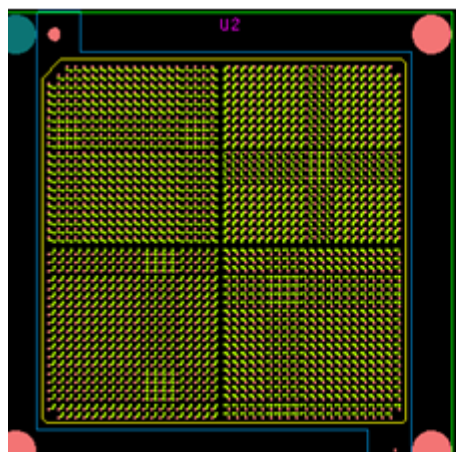
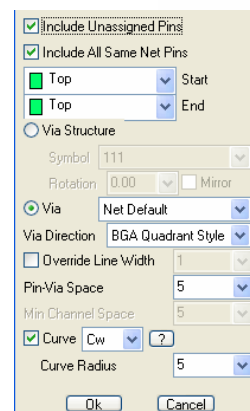


New PCB Editor Applications

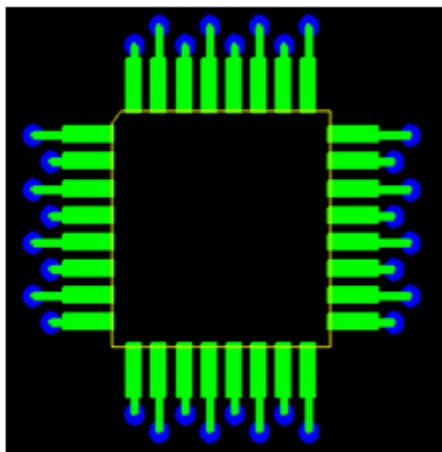
cadence
CHANNEL PARTNER

Interactive Component Fanout

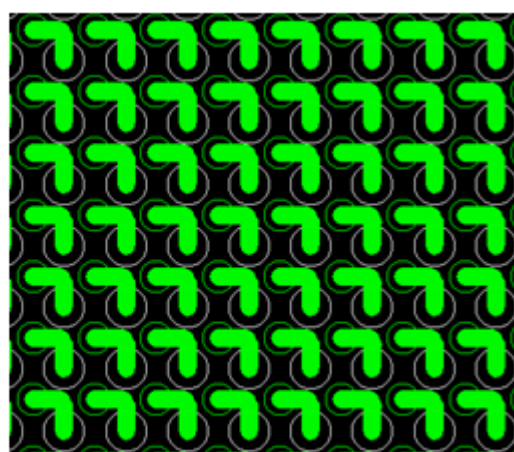
A. 执行 Route/Create Fanout, 可依不同的零件设定不同的 Fanout 型态



BGA Quadrant

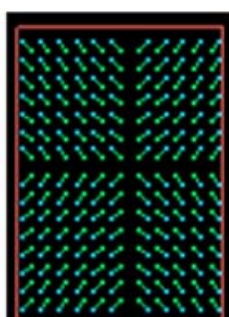


Outward

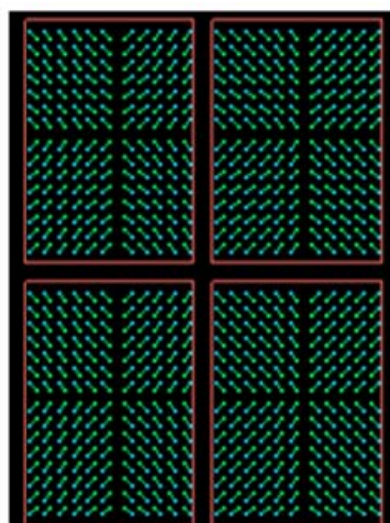


Curved corners

B. 执行 Route/Copy Fanout, 可在相同的零件覆制相同的 Fanout

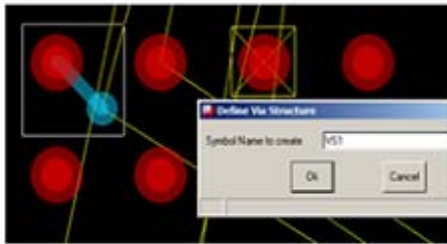


Copy Fanout

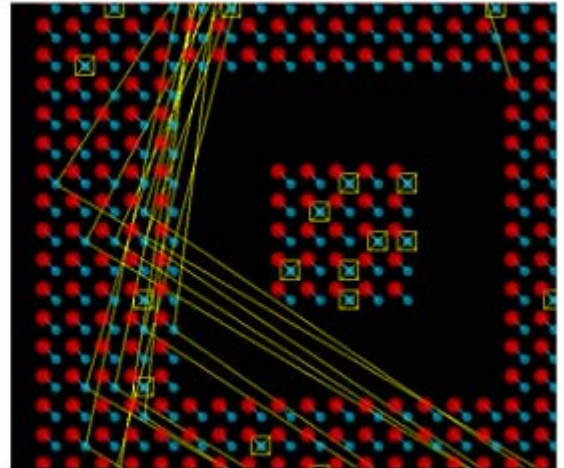


Applies to all like devices or packages

C.执行 Route/defined Via structure, 可将设定好的 Via structure 存成一个参考, 套用到其它的 pin



Via structure defined here
(via in pad to b/b via)

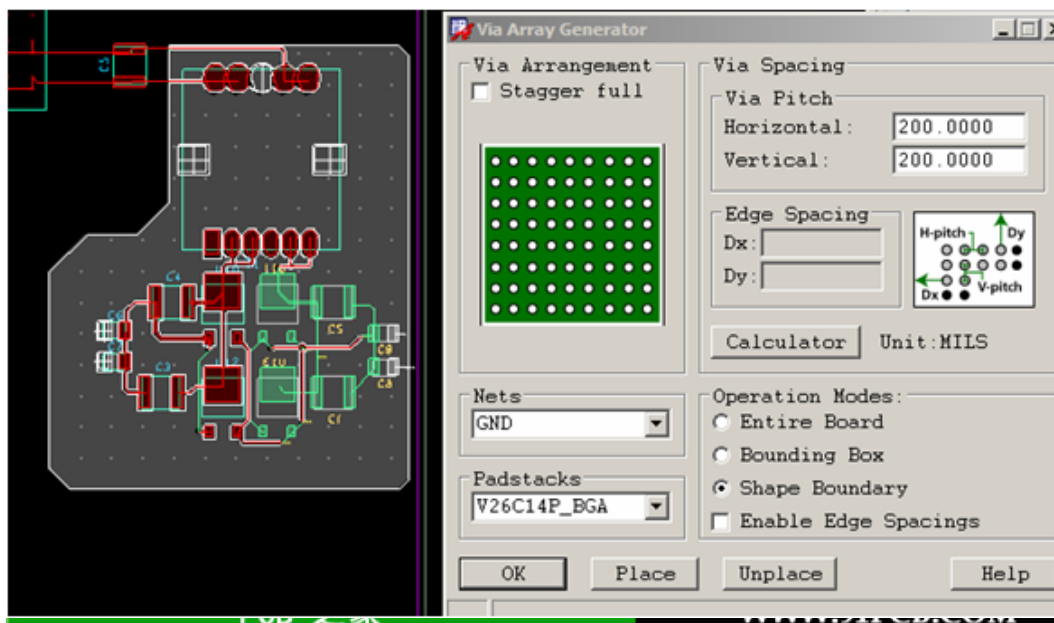


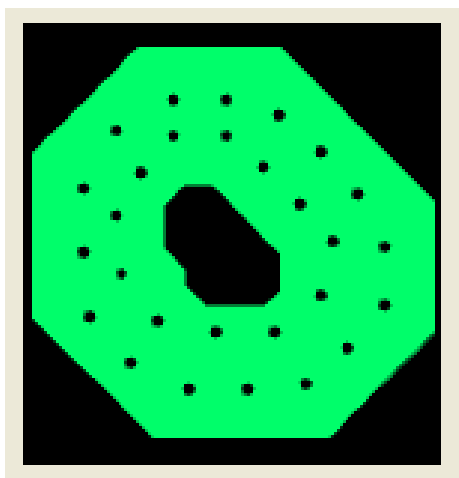
Via structure applied to all pins during fanout

Via Arrays (产品限制:PCB Performance Option L 及以上)

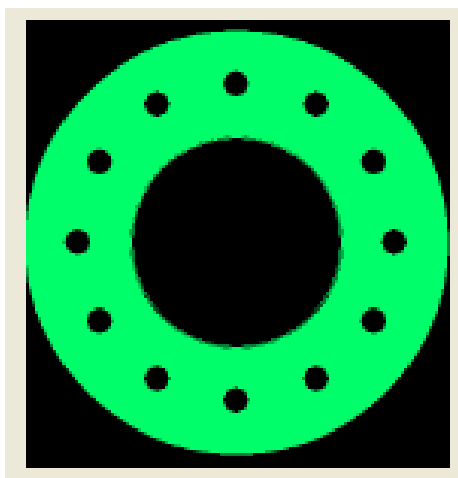
有些产品因 EMI 的需求, 常要打 VIA 接地, 故在新的版本新增自动矩阵加 Via 的功能,

执行 place/Via Array 即可依矩阵的型态选用相关的功能

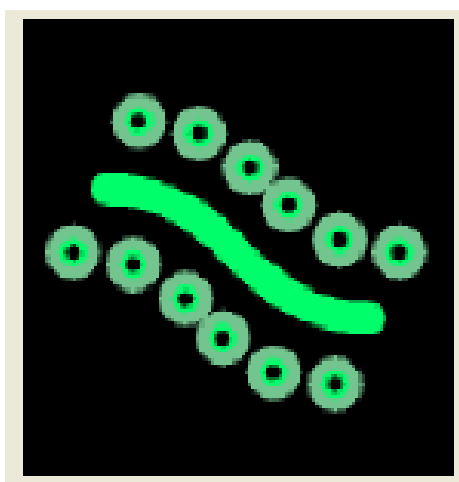




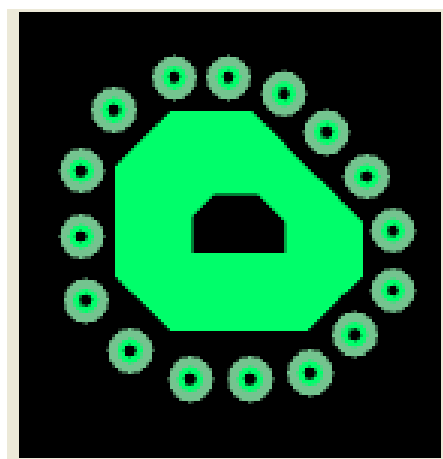
A. Boundary Via Array



B. Circular Via Array



C. Cline Via Array



D. Offset Via Array

Miscellaneous PCB Editor Enhancements



. Middle Mouse Wheel Functionality

支持鼠标滚轮键,其指令的语法为

button <modifier> <action>

button 参数为

Wheel 滚轮往上或往下

Wheel_up - 滚轮往上

Wheel_down - 滚轮往下

Modifiers 参数为:

S - shift key

C - control key

SC - shift and control

范例:

热键设为 **Shift** 加鼠标滚轮往上,变更 **active subclass**

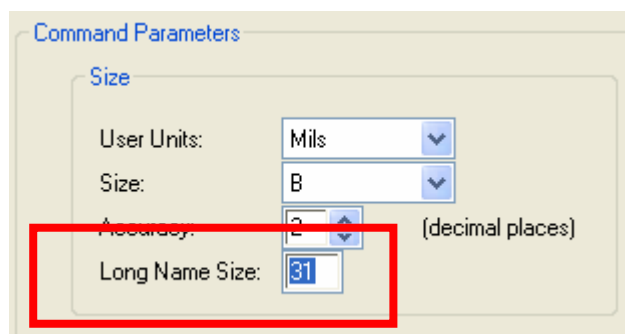
button Swheel_up subclass -+

热键设为 **Shift** 加鼠标滚轮往下,变更 **alternative subclass**

button Swheel_down altsubclass -+

· Long Name Support Productized

支持较长的名称，从 32 到 255 个字符，支持 net、pad、slot、function pin



· File Manager Command (filemgr)

执行 Tools/Utilities/File Manager 会连结到档案总管

· Shapes

1.静态铜使用 Assign net name 时，可允许直接选择 pin 和 via

2.动态铜箔弧线品质较佳

· Design Partitioning

Export/Techfile 可支援 Design Partition Editor

· Waived DRCs

Waived DRCs 可支援 Symbol Editor

· Same Net DRC

Constraint Regions 支援 Same Net DRC

· Z-Copy

使用 z-copy 不会 copy IDF_OWNER property.

. Show Element

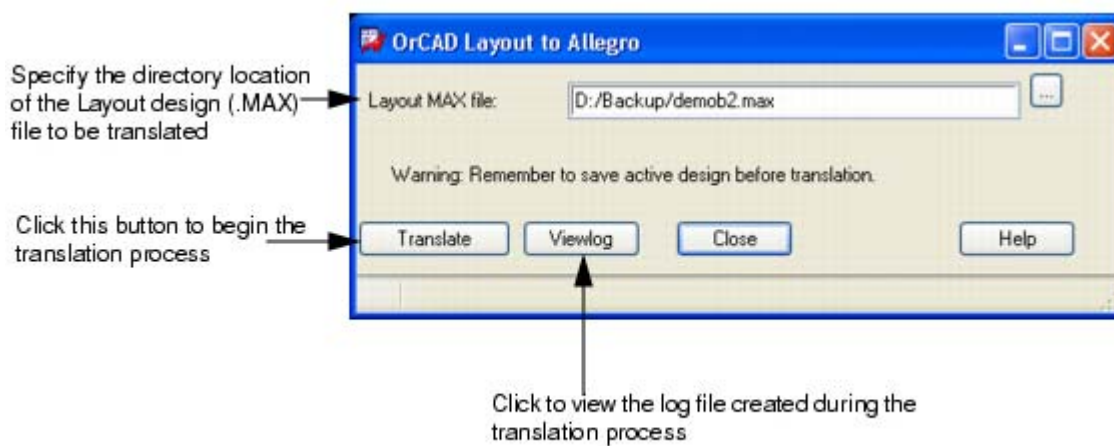
使用 Show Element 点到 pin 时会显示逻辑的 pin name

. Clipboard

使用 sub drawings 输出时,新增 Preserve nets of vias 选项

. OrCAD Layout Translator Updates

执行File/Import/OrCAD Layout,即可叫出OrCAD Layout to Allegro的界面



. New Properties

- (a) 新增 Physical 和 Spacing constraints 相关 properties
- (b) REGION_NAME – 配合 Physical 和 Spacing Constraints 使用 ; type: string; elements rect and shape.
- (c) VOID_SAME_NET: 同讯号 Cline 可依 same net spacing 对 shape 产生 void; type boolean; elements cline.
- (d) OK_DANGLE: 加在 dangling cline 或 via 对它们产生报表.type boolean; elements via, cline.
- (e) VERILOG_PORT_NAME - (ICP) : type string; elements - figure, funcdef, compdef, net, shape, pin.
- (f) IC_DESIGN_NET_NAME - (ICP) type string; elements - pin.
- (g) WIREBOND_MATERIAL - (ICP) type string; elements cline.
- (h) BBVIA_SEPARATION – 设定 BBvia 的规则, type integer; element design.
- (i) SAME_NET_VIA2VIA_SPACE: 设定 same net spacing via 和 via 的规则, when this property is add to a type - string; elements - pin, syminst, symdef.
- (j) NO_SM_COVERAGE_CHECK - (SI); type boolean; elements net.
- (k) CONSTRAINT_ORIGIN - (GRE); type string; elements DRC.
- (l) NO_XNET_CONNECTION - (SI); type boolean; elements compinst.
- (m) POWER_OPR, POWER_MAX – 使用于 Thermal 及 3rd party 的流程.

. Deleted Properties

- (a) Net_physical_type
- (b) Net_spacing_type

. New Variables

- (a) Disable_opengl – 关闭 OpenGL 显示模式
- (b) Draw_etch_outline – 显示 Etch 的 outline
- (c) Partial_display_roam – 平移画面时,关闭 shape fill 模式
- (d) Datatips_delay – 设定 tip 信息的显示时间.
- (e) Datatips_fixpos – 将 tip 信息放在窗口下方.
- (f) Disable_datatips – 关闭 tip 信息.
- (g) Viewer_useoglgraphics – 使用 viewer 产品时将 OpenGL 模式 开启.
- (h) Allegro_pcbenv - 设定 pcbenv 路径.
- (i) Netrev_missing_footprint – 将 missing symbol 的 warning 改成 error.
- (j) Status_allshapes – 回复旧的 shape status 功能.

. Scripts

- (a) 在旧版有使用 NET_PHYSICAL_TYPE 或 NET_SPACING_TYPE 需重新录制新的设定方式.
- (b) 16 版本 Script 与旧版本不兼容.

. Skill

NET_PHYSICAL_TYPE 及 NET_SPACING_TYPE 不支援 SPB16.0.